



of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-306389

(P2000-306389A)

(43) 公開日 平成12年11月2日 (2000.11.2)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
G 1 1 C 16/02		G 1 1 C 17/00	6 0 1 T 5 B 0 0 5
G 0 6 F 12/06	5 6 0	G 0 6 F 12/06	5 6 0 A 5 B 0 2 5
12/08		12/08	D 5 B 0 6 0

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願平11-113197

(22) 出願日 平成11年4月21日 (1999.4.21)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 田村 隆之

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72) 発明者 中村 一男

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

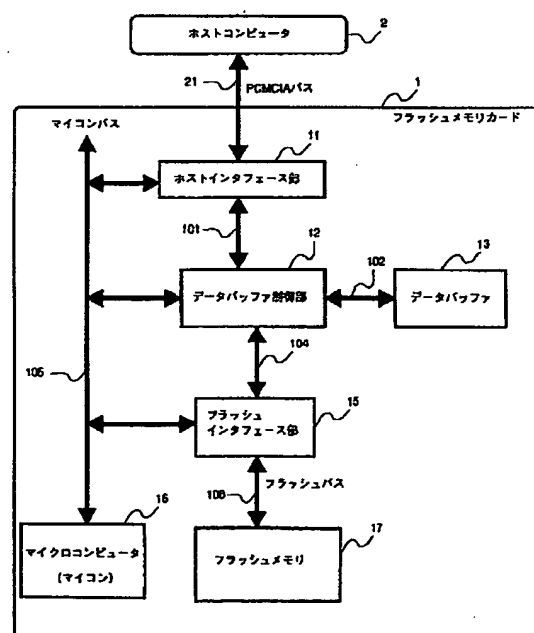
(54) 【発明の名称】 不揮発性半導体メモリを用いた記憶装置

(57) 【要約】

【課題】フラッシュメモリなどの不揮発性半導体メモリを用いた記憶装置において、セクタリード・コマンドに対し、高速な記憶装置を提供する。

【解決手段】ホストコンピュータ2が読み出さないセクタデータもデータバッファ13に格納する。続けて、ホストコンピュータ2がセクタデータの読み出しを行うと、既にデータバッファ13にセクタデータが格納されているので、フラッシュメモリ17からのデータ転送時間を短縮でき、高速なセクタリードを提供できる。

図1



## 【特許請求の範囲】

【請求項1】ホストコンピュータに接続可能な記憶装置であって、該記憶装置は、該ホストコンピュータが書き込むセクタデータを格納するための不揮発性半導体メモリと、該ホストコンピュータとの接続手段と、該不揮発性半導体メモリの制御手段と、該ホストコンピュータによるセクタデータの読み出しおよび書き込みにおいて一時的に使用されるデータバッファを有し、該不揮発性半導体メモリは、多数の不揮発性メモリセルから構成され、該メモリセルの集合によって一つのブロックを構成し、該ブロックにおいて一括消去可能であり、該ブロックは複数のセクタデータを格納可能であり、該ホストコンピュータによるセクタデータの読み出しにおいて、該不揮発性半導体メモリの該ブロックに格納されている全セクタデータを常に一つのコマンドで読み出すことを特徴とする不揮発性半導体メモリを用いた記憶装置。

【請求項2】請求項1に記載の記憶装置において、該データバッファに、該ホストコンピュータが読み出すセクタデータが既に格納されている場合には、該セクタデータを該ホストコンピュータに読み出させることを特徴とする不揮発性半導体メモリを用いた記憶装置。

【請求項3】請求項1に記載の記憶装置において、該ホストコンピュータが最後に読み出すセクタデータが、該フラッシュメモリの該ブロックの最後のセクタデータである場合には、該ホストコンピュータが読み出す該最後のセクタデータの次のセクタアドレスのセクタデータを含む該フラッシュメモリのブロックの全セクタデータを該データバッファに読み出すことを特徴とする不揮発性半導体メモリを用いた記憶装置。

【請求項4】ホストコンピュータに接続可能な記憶装置であって、該記憶装置は、該ホストコンピュータが書き込むセクタデータを格納するための不揮発性半導体メモリと、該ホストコンピュータとの接続手段と、該不揮発性半導体メモリの制御手段と、該ホストコンピュータによるセクタデータの読み出しおよび書き込みにおいて一時的に使用されるデータバッファを有し、該不揮発性半導体メモリは、多数の不揮発性メモリセルから構成され、該メモリセルの集合によって一つのブロックを構成し、該ブロックにおいて一括消去可能であり、該ブロックは一つ以上のセクタデータを格納可能であり、該ホストコンピュータによる一つのセクタデータの読み出しにおいて、該ホストコンピュータが読み出すセクタデータが格納されている該不揮発性半導体メモリのブロックに格納されている全セクタデータをデータバッファに読み出すことを特徴とする不揮発性半導体メモリを用いた記憶装置。

【請求項5】請求項4に記載の記憶装置において、該データバッファに、該ホストコンピュータが読み出すセクタデータが既に格納されている場合には、該セクタデータを該ホストコンピュータに読み出させることを特徴と

する不揮発性半導体メモリを用いた記憶装置。

【請求項6】請求項4に記載の不揮発性半導体メモリを用いた記憶装置において、該ホストコンピュータが最後に読み出すセクタデータが、該フラッシュメモリの該ブロックの最後のセクタデータである場合には、該ホストコンピュータが読み出す該最後のセクタデータの次のセクタアドレスのセクタデータを含む該フラッシュメモリのブロックの全セクタデータを該データバッファに読み出すことを特徴とする不揮発性半導体メモリを用いた記憶装置。

【請求項7】ホストコンピュータに接続可能な記憶装置であって、該記憶装置は、該ホストコンピュータが書き込むセクタデータを格納するための不揮発性半導体メモリと、該ホストコンピュータとの接続手段と、該不揮発性半導体メモリの制御手段と、該ホストコンピュータによるセクタデータの読み出しおよび書き込みにおいて一時的に使用されるデータバッファを有し、該不揮発性半導体メモリは、多数の不揮発性メモリセルから構成され、該メモリセルの集合によって一つのブロックを構成し、該ブロックにおいて一括消去可能であり、該ブロックは複数のセクタデータを格納可能であり、該ホストコンピュータによるセクタデータの読み出しにおいて、該不揮発性半導体メモリの該ブロックに格納されている全セクタデータを常に一つのコマンドで読み出すことを特徴とする該不揮発性半導体メモリからのセクタデータ読み出し方式であることを特徴とする不揮発性半導体メモリを用いた記憶装置。

【請求項8】ホストコンピュータに接続可能な記憶装置であって、該記憶装置は、該ホストコンピュータが書き込むセクタデータを格納するための不揮発性半導体メモリと、該ホストコンピュータとの接続手段と、該不揮発性半導体メモリの制御手段と、該ホストコンピュータによるセクタデータの読み出しおよび書き込みにおいて一時的に使用されるデータバッファを有し、該不揮発性半導体メモリは、多数の不揮発性メモリセルから構成され、該メモリセルの集合によって一つのブロックを構成し、該ブロックにおいて一括消去可能であり、該ブロックは一つ以上のセクタデータを格納可能であり、該ホストコンピュータによる一つのセクタデータの読み出しにおいて、該ホストコンピュータが読み出すセクタデータが格納されている該不揮発性半導体メモリのブロックに格納されている全セクタデータをデータバッファに読み出すことを特徴とする該不揮発性半導体メモリからのセクタデータ読み出し方式であることを特徴とする不揮発性半導体メモリを用いた記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、不揮発性半導体メモリを記憶媒体として用いた記憶装置に係り、特に、セクタデータ読み出しの高速化を図った記憶装置に関する

る。

【0002】

【従来の技術】不揮発性半導体メモリを用いた記憶装置として、フラッシュメモリを用いた記憶装置がある。この従来例として、特開平5-27924号公報に示される「半導体メモリを用いた外部記憶システム及びその制御方法」がある。従来の記憶装置では、ホストコンピュータが書き込んだコマンドおよびこのコマンドと一緒にホストコンピュータが書き込むセクタアドレスを基に、セクタデータの書き込みや読み出し等を行っている。

【0003】また、記憶装置にセクタデータを格納するパーソナルコンピュータなどのホストコンピュータは、連続したセクタデータを読み出すときに、複数のセクタリード・コマンドに分割する。例えば、64Kバイト(128セクタ)単位にセクタデータを読み出すホストコンピュータが128Kバイト(256セクタ)のセクタデータを読み出すとき、ホストコンピュータは128セクタのセクタリード・コマンドを2回発行して、128Kバイトのセクタデータを読み出す。

【0004】

【発明が解決しようとする課題】上記従来技術は、ホストコンピュータによるセクタデータの読み出しの際に、連続したホストコンピュータからのセクタリード・コマンドに対して配慮がなされておらず、セクタデータ読み出しに対する高速化に問題がある。

【0005】本発明の目的は、ホストコンピュータが連続してセクタリード・コマンドを発行した場合に、セクタデータ読み出しの高速化を図ることである。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明の記憶装置は、まず、ホストコンピュータが読み出すセクタデータがデータバッファに格納されているかどうかを判別する。データバッファにホストコンピュータが読み出すセクタデータが格納されている場合には、記憶装置は即座に、ホストコンピュータに対してセクタデータの読み出しが可能であることを通知し、データバッファに格納されているセクタデータをホストコンピュータに読み出させる。

【0007】また、ホストコンピュータが一つのセクタデータを読み出すときには、ホストコンピュータが読み出すセクタデータが含まれているフラッシュメモリ内のブロック全部をデータバッファに読み出す。

【0008】さらに、ホストコンピュータが複数のセクタデータを読み出すとき、ホストコンピュータが最後に読み出すセクタデータが格納されているフラッシュメモリ内のブロック全部をデータバッファに読み出す。

【0009】そして、ホストコンピュータが最後に読み出すセクタデータが、フラッシュメモリ内のブロックにおける最後のセクタデータと一致する場合には、ホストコンピュータが読み出すセクタデータの次のセクタアド

レスのセクタデータが格納されているブロックをフラッシュメモリからデータバッファに読み出す。

【0010】これにより、ホストコンピュータが連続したセクタデータを読み出すために、続けてセクタリード・コマンドを発行した場合、本発明の記憶装置は、ホストコンピュータが最初に読み出すセクタデータを準備するための時間を大幅に削減できる。

【0011】以上のように、ホストコンピュータが読み出すセクタデータを予め準備することにより、セクタデータの読み出しに対する高速化が可能になる。

【0012】

【発明の実施の形態】以下、本発明に係る不揮発性半導体メモリを用いた記憶装置の実施例について説明する。

【0013】図1に、本発明の一実施例である記憶装置の構成をコンピュータの記憶装置への適用を例にとり示す。

【0014】図1において、1は不揮発性半導体メモリを用いた記憶装置であり、ホストコンピュータ2の記憶装置である。ホストコンピュータ2は、記憶装置1に対してセクタデータの書き込みや読み出しを行う。ホストコンピュータ2の例として、パーソナルコンピュータ(PC)や、デジタルスチルカメラなどがある。

【0015】記憶装置1は、不揮発性半導体メモリとしてフラッシュメモリを用いていることからフラッシュメモリカードと呼ばれる。以下、記憶装置1をフラッシュメモリカード1と称する。

【0016】フラッシュメモリカード1は、PCMCIAバス21を介してホストコンピュータ2からのコマンドの受け付けやセクタデータの授受を行う。図1では、PCMCIAインタフェースに準拠したPCMCIAバス21を例に説明する。PCMCIAバスの他に、IDE(ATA)インタフェースやSCSIインタフェースなど様々なインタフェースがあり、外部記憶装置を必要とするホストコンピュータ2と間のプロトコルの取り決めを有するものであれば特に限定はない。

【0017】フラッシュメモリカード1において、11は、ホストコンピュータ2とのインタフェースを司るホストインタフェース部である。

【0018】12は、ホストコンピュータ2とデータバッファ13間、および、データバッファ13とフラッシュメモリ17間におけるセクタデータ転送を制御するデータバッファ制御部である。

【0019】13は、フラッシュメモリカード1とホストコンピュータ2との間でセクタデータの授受を行うとき、セクタデータを一時格納するためのデータバッファである。

【0020】15は、フラッシュメモリ17とのインタフェースを司るフラッシュインタフェース部である。

【0021】16は、マイクロコンピュータ(以下、マイコンと略す)であり、ホストコンピュータ2が書き込

むコマンドの解析や制御、ホストコンピュータ2が書き込むセクタデータの管理、そして、フラッシュメモリ17の管理を行う。

【0022】17は、ホストコンピュータ2が書き込むセクタデータを格納するためのフラッシュメモリである。フラッシュメモリ17は、フラッシュバス106によって、フラッシュインタフェース部15に接続されている。図3に、フラッシュメモリ17の内部構成を示す。フラッシュメモリ17は、四つのセクタで一つのブロックを構成している。ここで、一つのブロックは、同

【0023】図3に示すフラッシュメモリ17では、ブロックアドレスBA(k)のブロックデータには、セクタアドレスSA(4n)、SA(4n+1)、SA(4n+2)、SA(4n+3)の四つのセクタデータが格納されている。また、ブロックアドレスBA(m)のブロックデータには、セクタアドレスSA(4n+4)、SA(4n+5)、SA(4n+6)、SA(4n+7)の四つのセクタデータが格納されている。セクタアドレスは、ホストコンピュータ2がアドレッシングするセクタデータのアドレスである。ブロックアドレスは、フラッシュメモリ17に格納されているブロックデータをアクセスするためのアドレスである。セクタアドレスとブロックアドレスの関係は、マイコン16によって制御される。

【0024】図2は、図1に示すフラッシュメモリカード1の動作フローの概略を示している。まず、ステップS201において、フラッシュメモリカード1は、ホストコンピュータ2によるコマンドの書き込みを待つ。ホストコンピュータ2が書き込むコマンドは、ホストインタフェース部11に書き込まれる。ホストインタフェース部11は、ホストコンピュータ2がコマンドを書き込んだ時、マイコンバス105を通して、マイコン16に通知する。

【0025】次いで、ステップS202において、コマンドの種類を判定する。マイコン16は、マイコンバス105を通して、ホストインタフェース部11に書き込まれているコマンドを読み出し、解析する。

【0026】ホストコンピュータ2がセクタデータを書き込むコマンドである「セクタライト・コマンド」を書き込むと、フラッシュメモリカード1は「セクタライト処理(ステップS203)」を実行する。ステップS203のセクタライト処理は、ホストコンピュータ2が書き込んだセクタデータをフラッシュメモリカード1のフラッシュメモリ17に格納する処理を行う。

【0027】ホストコンピュータ2がセクタデータを読み出すコマンドである「セクタリード・コマンド」を書き込むと、フラッシュメモリカード1は「セクタリード処理(ステップS204)」を実行する。ステップS204のセクタリード処理では、フラッシュメモリ17に

格納されているセクタデータをホストコンピュータ2に出力する。

【0028】ホストコンピュータ2がセクタデータの転送を行わないコマンドである「非データ転送コマンド」を書き込むと、フラッシュメモリカード1は「非データ転送処理(ステップS205)」を実行する。ここで、セクタデータの転送を行わないコマンドとは、フラッシュメモリカード1の状態を読み出したり、フラッシュメモリカード1に対するパワー制御などの指示を行うコマンドである。

【0029】ここで、図2におけるステップS202では、コマンドの種類判定となっているが、同時に、ホストコンピュータ2がアクセスするセクタデータの先頭アドレスやセクタ数も判定する。

【0030】次に、ステップS204のセクタリード処理の詳細を説明する。

【0031】図13は、図2のセクタリード処理(ステップS204)の一実施例である。ここで、ホストコンピュータ2が読み出すセクタデータをセクタデータHRと呼ぶ。セクタデータHRは常に変化し、同一のセクタデータを示しているわけではない。例えば、ホストコンピュータ2がセクタアドレスSA(n)とセクタアドレスSA(4n+1)の二つのセクタデータを連続(同一コマンド)で読み出す時には、ホストコンピュータ2が読み出す一つのセクタデータHRは、セクタアドレスSA(4n)のセクタデータであり、ホストコンピュータ2が読み出す二つ目のセクタデータHRはセクタアドレスSA(4n+1)のセクタデータとなる。

【0032】まず、ステップS301において、データバッファ13に、ホストコンピュータ2が読み出すセクタデータHRが格納されているかどうかを確認する。データバッファ13にセクタデータHRが格納されていない(No)場合には、ステップS302に進む。データバッファ13にセクタデータHRが格納されている(Yes)時には、ステップS307に進む。

【0033】ステップS302では、フラッシュメモリ17からデータバッファ13へ、セクタデータHRを含むブロックデータの転送が実行中であるかどうかを確認している。セクタデータHRを含むブロックデータの転送中でない(No)場合には、ステップS303に進む。セクタデータHRを含むブロックデータのデータ転送中である(Yes)場合には、ステップS306に進む。

【0034】ステップS303では、セクタデータHRを含まないブロックデータの転送中であるかどうかを確認している。セクタデータHRを含まないブロックのデータ転送が実行中(Yes)ならば、ブロックデータ転送を中断(ステップS304)し、その後、セクタデータHRを含むブロックのデータ転送を開始させる(ステップS305)。セクタデータHRを含まないブロック

10

20

30

40

50

のデータ転送が実行されていない(No)ならば、セクタデータHRを含むブロックのデータ転送を開始させる(ステップS305)。

【0035】次いで、ステップS306では、フラッシュメモリ17からデータバッファ13へのセクタデータHRのデータ転送が終了したかどうかを確認している。セクタデータHRのデータ転送が終了するとステップS307に進む。

【0036】ステップS307では、データバッファ13にホストコンピュータ2が読み出すセクタデータHRが格納されたことをホストコンピュータ2に知らせるために、ホストコンピュータ2に対するデータ・レディを出力する。

【0037】ホストコンピュータ2は、フラッシュメモリカード1がデータ・レディを出力すると、セクタデータHRの読み出しを開始する。

【0038】次いで、ステップS308(図14)において、フラッシュメモリカード1は、ホストコンピュータ2が読み出しているセクタデータがホストコンピュータ2が最後に読み出すセクタデータであるかどうかを確認する。ホストコンピュータ2が最後に読み出すセクタデータである場合(Yes)には、ステップS310に進む。ホストコンピュータ2が最後に読み出すセクタデータでない場合(No)には、ステップS309に進む。

【0039】ステップS310では、ホストコンピュータ2が最後に読み出すセクタデータが、フラッシュメモリ17のブロックにおける最後のデータであるかどうかを判定している。例えば、図3を例に説明すると、ホストコンピュータ2が読み出すセクタデータがセクタアドレスSA(4n+3)ならば、Yesとなり、ステップS311に進む。ホストコンピュータ2が読み出すセクタデータがセクタアドレスSA(4n)~SA(4n+2)ならば、Noとなり、セクタリード処理は終了する。

【0040】ステップS311では、次のセクタデータが格納されているブロックのデータ転送を開始している。例えば、ホストコンピュータ2が読み出すセクタデータが図3におけるセクタアドレスSA(4n+3)ならば、ブロックアドレスBA(m)のデータをデータバッファ13に転送することになる。

【0041】また、ステップS309では、フラッシュメモリカード1は、ホストコンピュータ2によるセクタデータの読み出し終了を待つ。ホストコンピュータ2によるセクタデータの読み出しが終了する(Yes)と、ステップS301に戻り、同一の処理を繰り返す。

【0042】次に、図13と図14で説明したセクタリード処理のフローに関して、具体的な例を用いて、以下に説明する。

【0043】図4は、ホストコンピュータ2がセクタア

ドレスSA(4n+1)とSA(4n+2)を読み出すときのタイミングを示したタイミングチャートである。

【0044】時間t001において、ホストコンピュータ2が「セクタリードコマンド1」を書き込むと、マイコン16はこれを検出し、コマンドの種類を解析する。これは、図2におけるステップS201およびS202に対応している。「セクタリードコマンド1」は、ホストコンピュータ2がセクタアドレスSA(4n+1)とSA(4n+2)を読み出すコマンドである。

【0045】コマンドの種類が確定した後、ホストコンピュータ2が読み出すセクタデータがデータバッファ13に格納されているかどうかの判定を行う(図13のステップS301)。

【0046】ここで、図4は、データバッファ13にホストコンピュータ2が読み出すセクタデータが格納されていない時を示している。

【0047】次に、時間t002において、マイコン16は、コマンドの種類判定の結果から、フラッシュメモリ17にブロックデータの読み出しを行うために「フラッシュリードコマンド1」を発行する(図13のステップS305)。「フラッシュリードコマンド1」は、フラッシュメモリ17のブロックアドレスBA(k)のセクタアドレスSA(4n+1)以降を読み出すフラッシュメモリ17へのコマンドである。フラッシュメモリ17へのコマンドは、フラッシュインタフェース部15からフラッシュメモリ17に発行される。

【0048】時間t003でフラッシュメモリ17からデータバッファ13への実際のデータ転送が開始される。セクタアドレスSA(4n+1)の転送が時間t004において終了すると、ホストコンピュータ2に対してデータ・レディを出力する(図13のステップS307)。ホストコンピュータ2は、データ・レディを受けて、時間t005において、セクタアドレスSA(4n+1)のセクタデータの読み出しを開始する。

【0049】ここで、図6に、時間t004におけるデータバッファ13の状態を示す。本実施例におけるデータバッファ13は、131~134の四つのセクタデータを格納できる容量を持っている。ただし、データバッファの容量はフラッシュメモリ17のブロックと同一またはより大きい容量であれば良い。時間t004におけるデータバッファ13は、132にセクタアドレスSA(4n+1)のセクタデータが格納される。131、133そして134は空き状態となる。

【0050】ホストコンピュータ2によるセクタアドレスSA(4n+1)のセクタデータの読み出しは、ホストコンピュータ2による最後のセクタデータの読み出しではないので、フラッシュメモリカード1は、ホストコンピュータ2によるセクタアドレスSA(4n+1)のセクタデータの読み出しが終了するまで待つ(図14のステップS309)。

【0051】ホストコンピュータ2によるセクタアドレスSA(4n+1)のセクタデータの読み出しが終了した後、セクタアドレスSA(4n+2)のセクタデータがフラッシュメモリ17からデータバッファ13に転送されているので、時間t007において、ホストコンピュータ2に対してデータ・レディを出力する(図13のステップS307)。ホストコンピュータ2は、データ・レディを受けて、時間t005において、セクタアドレスSA(4n+2)のセクタデータの読み出しを開始する。また、ホストコンピュータ2によるセクタアドレスSA(4n+2)のセクタデータの読み出しは、ホストコンピュータ2による最後のセクタデータの読み出しなので、「セクタリードコマンド1」に対する処理が終了する。

【0052】ここで、図7は、図4の時間t008におけるデータバッファ13の内容を示している。132~134にセクタアドレスSA(4n+1)~SA(4n+3)のセクタデータが格納されている。

【0053】図5は、ホストコンピュータ2がセクタアドレスSA(4n+3)のセクタデータを読み出すときのタイミングを示したタイミングチャートである。また、図5のタイミングチャートは、図4に示したホストコンピュータ2による「セクタリードコマンド1」に続いて、セクタアドレスSA(4n+3)のセクタデータを読み出している。

【0054】まず、時間t009において、ホストコンピュータ2は「セクタリードコマンド2」を書き込むと、マイコン16はこれを検出し、コマンドの種類を解析する(図2のステップS201およびS202)。

「セクタリードコマンド2」は、ホストコンピュータ2がセクタアドレスSA(4n+3)を読み出すコマンドである。

【0055】図5のホストコンピュータ2によるセクタデータの読み出しは、図4の読み出しに続いての動作であるので、セクタアドレスSA(4n+3)のセクタデータはデータバッファ13の134に格納されている。したがって、セクタアドレスSA(4n+3)のセクタデータは、フラッシュメモリ17からデータバッファ13に転送する必要はない。

【0056】つまり、コマンドの種類が確定した後、ホストコンピュータ2が読み出すセクタデータがデータバッファ13に格納されているので、ホストコンピュータ2に対してデータ・レディを出力する(図13のステップS307)。ホストコンピュータ2は、データ・レディを受けて、時間t010において、セクタアドレスSA(4n+3)のセクタデータの読み出しを開始する。

【0057】次いで、セクタアドレスSA(4n+3)のセクタデータは、ホストコンピュータ2が最後に読み出すセクタデータであり、ブロックBA(k)内の最後のセクタデータであるので、図14のステップS311

が実行される。時間t011が、図14のステップS311であり、ここでは、ホストコンピュータ2が最後に読み出すセクタデータ(セクタアドレスSA(4n+3)のセクタデータ)の次のセクタデータが含まれるブロック(図3では、ブロックアドレスBA(m))を読み出すための「フラッシュリードコマンド2」をフラッシュメモリ17に発行している。

【0058】時間t012からt016の間において、フラッシュメモリ17のブロックアドレスBA(m)のブロックデータがデータバッファ13に転送される。

【0059】ここで、図8に時間t013におけるデータバッファ13の内容と、図9に時間t016におけるデータバッファ13の内容を示す。図9に示すように、図5に示すセクタアドレスSA(4n+3)のセクタデータの読み出しの後、さらにホストコンピュータ2によるセクタアドレスSA(4n+4)のセクタデータの読み出しが新たに発生した場合、セクタアドレスSA(4n+4)のセクタデータは既にデータバッファ13に格納されているので、フラッシュメモリ17からの読み出しの時間を見かけ上ゼロとすることができる。

【0060】このように、ホストコンピュータ2が読み出すセクタデータを予めデータバッファ13に格納しておくことにより、ホストコンピュータ2が読み出すセクタデータに対するフラッシュメモリ17からデータバッファ13への転送時間を見かけ上ゼロとすることが可能となり、セクタデータの読み出しの高速化が図られる。

【0061】次に、本発明における他の実施例について、図10を用いて説明する。

【0062】まず、時間t101において、ホストコンピュータ2は、PCMCIAバスを使用して、「セクタリードコマンド1」をフラッシュメモリカード1に書き込む。「セクタリードコマンド1」は、図4と同一であり、セクタアドレスSA(4n+1)およびSA(4n+2)の二つのセクタデータの読み出しを行うためのコマンドである。また、図4での説明と同様に、「セクタリードコマンド1」を書き込んだ時、データバッファ13には、セクタアドレスSA(4n+1)およびSA(4n+2)の二つのセクタデータは格納されていないこととして説明する。

【0063】図10は、図4に示すタイミングチャートとはほぼ同一である。ただし、ホストコンピュータ2に対するデータ・レディを出力するタイミングが、図4ではセクタアドレスSA(4n+1)のセクタデータがデータバッファ13に転送された直後であったが、図10ではセクタアドレスSA(4n+1)からSA(4n+3)の三つセクタデータがデータバッファ13に転送された直後となっている。つまり、ブロックアドレスBA(k)のブロックデータが転送された後に、ホストコンピュータ2のデータ転送が開始される。

【0064】これにより、フラッシュメモリ17とデー



データバッファ13の間のデータ転送と、ホストコンピュータ2とデータバッファ13の間のデータ転送をそれぞれ別々に実行することができるので、制御を簡単にできる。

【0065】また、図10のタイミングチャートで示すセクタアドレスSA(4n+1)およびSA(4n+1)のセクタデータの読み出しの後に、セクタアドレスSA(4n+3)のセクタデータの読み出しが発生した場合、図5と同一のタイミングチャートとなる。したがって、ホストコンピュータ2が読み出すセクタデータを予めデータバッファ13に格納しておくことにより、ホストコンピュータ2が読み出すセクタデータに対するフラッシュメモリ17からデータバッファ13への転送時間を見かけ上ゼロとすることが可能となり、セクタデータの読み出しの高速化が図られる。

【0066】さらに、本発明における他の実施例を図11を用いて説明する。

【0067】まず、時間t201において、ホストコンピュータ2は、PCMCIAバスを使用して、「セクタリードコマンド1」をフラッシュメモリカード1に書き込む。「セクタリードコマンド1」は、図4と同一であり、セクタアドレスSA(4n+1)およびSA(4n+2)の二つのセクタデータの読み出しを行うためのコマンドである。また、図4での説明と同様に、「セクタリードコマンド1」を書き込んだ時、データバッファ13には、セクタアドレスSA(4n+1)およびSA(4n+2)の二つのセクタデータは格納されていないこととして説明する。

【0068】図11では、図4での「フラッシュリードコマンド1」に変わり、「フラッシュリードコマンド3」をフラッシュメモリ17に発行している(時間t202)。「フラッシュリードコマンド3」は、フラッシュメモリ17のブロックアドレスBA(k)のブロックデータを全てデータバッファ13に転送するコマンドである。

【0069】時間t204において、セクタアドレスSA(4n+1)のセクタデータがデータバッファ13に転送されると、ホストコンピュータ2が時間t205からセクタアドレスSA(4n+1)のセクタデータの読み出しを開始する。以後、図4と同様な動作を行う。

【0070】また、図11のタイミングチャートで示すセクタアドレスSA(4n+1)およびSA(4n+1)のセクタデータの読み出しの後に、セクタアドレスSA(4n+3)のセクタデータの読み出しが発生した場合、図5と同一のタイミングチャートとなる。したがって、ホストコンピュータ2が読み出すセクタデータを予めデータバッファ13に格納しておくことにより、ホストコンピュータ2が読み出すセクタデータに対するフラッシュメモリ17からデータバッファ13への転送時間を見かけ上ゼロとすることが可能となり、セクタデー

タの読み出しの高速化が図られる。

【0071】最後に、本発明における他の実施例を図12を用いて説明する。

【0072】まず、時間t301において、ホストコンピュータ2は、PCMCIAバスを使用して、「セクタリードコマンド1」をフラッシュメモリカード1に書き込む。「セクタリードコマンド1」は、図4と同一であり、セクタアドレスSA(4n+1)およびSA(4n+2)の二つのセクタデータの読み出しを行うためのコマンドである。また、図4での説明と同様に、「セクタリードコマンド1」を書き込んだ時、データバッファ13には、セクタアドレスSA(4n+1)およびSA(4n+2)の二つのセクタデータは格納されていないこととして説明する。

【0073】図11では、図10での「フラッシュリードコマンド1」に変わり、「フラッシュリードコマンド3」をフラッシュメモリ17に発行している(時間t302)。「フラッシュリードコマンド3」は、フラッシュメモリ17のブロックアドレスBA(k)のブロックデータを全てデータバッファ13に転送するコマンドである。

【0074】時間t305において、セクタアドレスSA(4n)からSA(4n+3)のセクタデータがデータバッファ13に転送されると、ホストコンピュータ2が時間t306からセクタアドレスSA(4n+1)のセクタデータの読み出しを開始する。以後、図10と同様な動作を行う。

【0075】また、図12のタイミングチャートで示すセクタアドレスSA(4n+1)およびSA(4n+1)のセクタデータの読み出しの後に、セクタアドレスSA(4n+3)のセクタデータの読み出しが発生した場合、図5と同一のタイミングチャートとなる。したがって、ホストコンピュータ2が読み出すセクタデータを予めデータバッファ13に格納しておくことにより、ホストコンピュータ2が読み出すセクタデータに対するフラッシュメモリ17からデータバッファ13への転送時間を見かけ上ゼロとすることが可能となり、セクタデータの読み出しの高速化を図ることができる。

【0076】さらに、図11および図12では、それぞれのホストコンピュータ2によるセクタデータの読み出しの後に、セクタアドレスSA(4n)のセクタデータの読み出しが発生した場合でも、セクタアドレスSA(4n)のセクタデータに対するフラッシュメモリ17からデータバッファ13への転送時間を見かけ上ゼロとすることが可能となり、セクタデータの読み出しの高速化を図ることができる。

【0077】

【発明の効果】以上説明したように、本発明によれば、フラッシュメモリなどの不揮発性半導体メモリを用いた記憶装置において、セクタデータの読み出しの高速化を

実現する記憶装置を提供できる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す記憶装置の構成を示すブロック図である。

【図2】本発明の記憶装置の処理手順を示すフローチャートである。

【図3】フラッシュメモリ17の構成例を示す図である。

【図4】記憶装置からのセクタデータの読み出しを示すタイミングチャートである。

【図5】記憶装置からのセクタデータの読み出しを示すタイミングチャートである。

【図6】ある時間におけるデータバッファ13の内容の一例を示す図である。

【図7】ある時間におけるデータバッファ13の内容の一例を示す図である。

【図8】ある時間におけるデータバッファ13の内容の一例を示す図である。

【図9】ある時間におけるデータバッファ13の内容の

一例を示す図である。

【図10】記憶装置からのセクタデータの読み出しを示すタイミングチャートである。

【図11】記憶装置からのセクタデータの読み出しを示すタイミングチャートである。

【図12】記憶装置からのセクタデータの読み出しを示すタイミングチャートである。

【図13】本発明の記憶装置のセクタリード処理手順を示すフローチャートである。

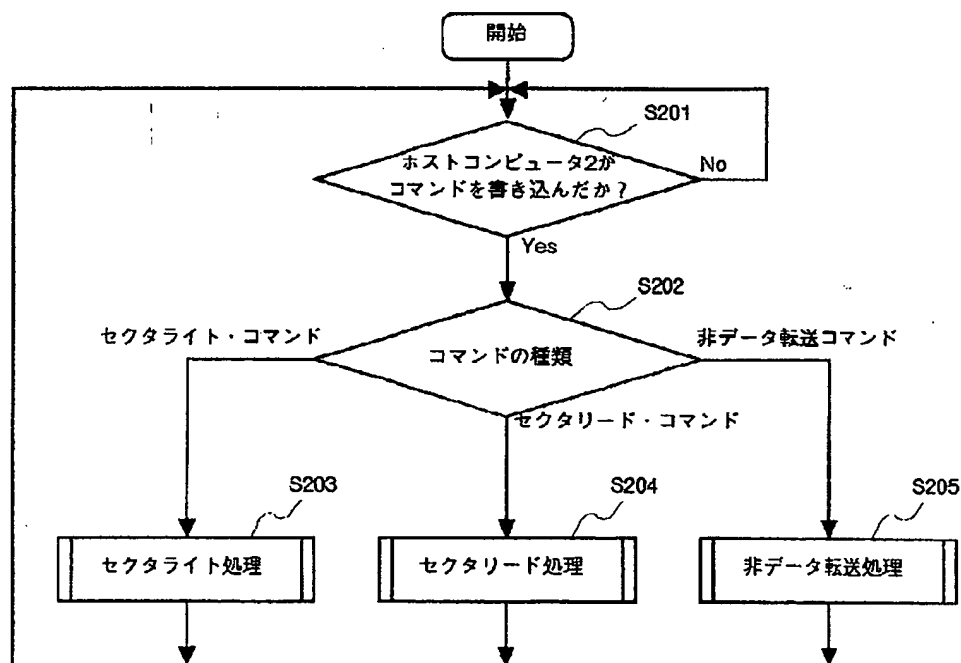
10 【図14】本発明の記憶装置のセクタリード処理手順を示すフローチャートである。

【符号の説明】

1…フラッシュメモリカード（記憶装置）、2…ホストコンピュータ（PC等）、11…ホストインタフェース部、12…データバッファ制御部、13…データバッファ、15…フラッシュインタフェース部、16…マイクロコンピュータ（マイコン）、17…フラッシュメモリ、21…PCMCIAバス、105…マイコンバス、106…フラッシュバス。

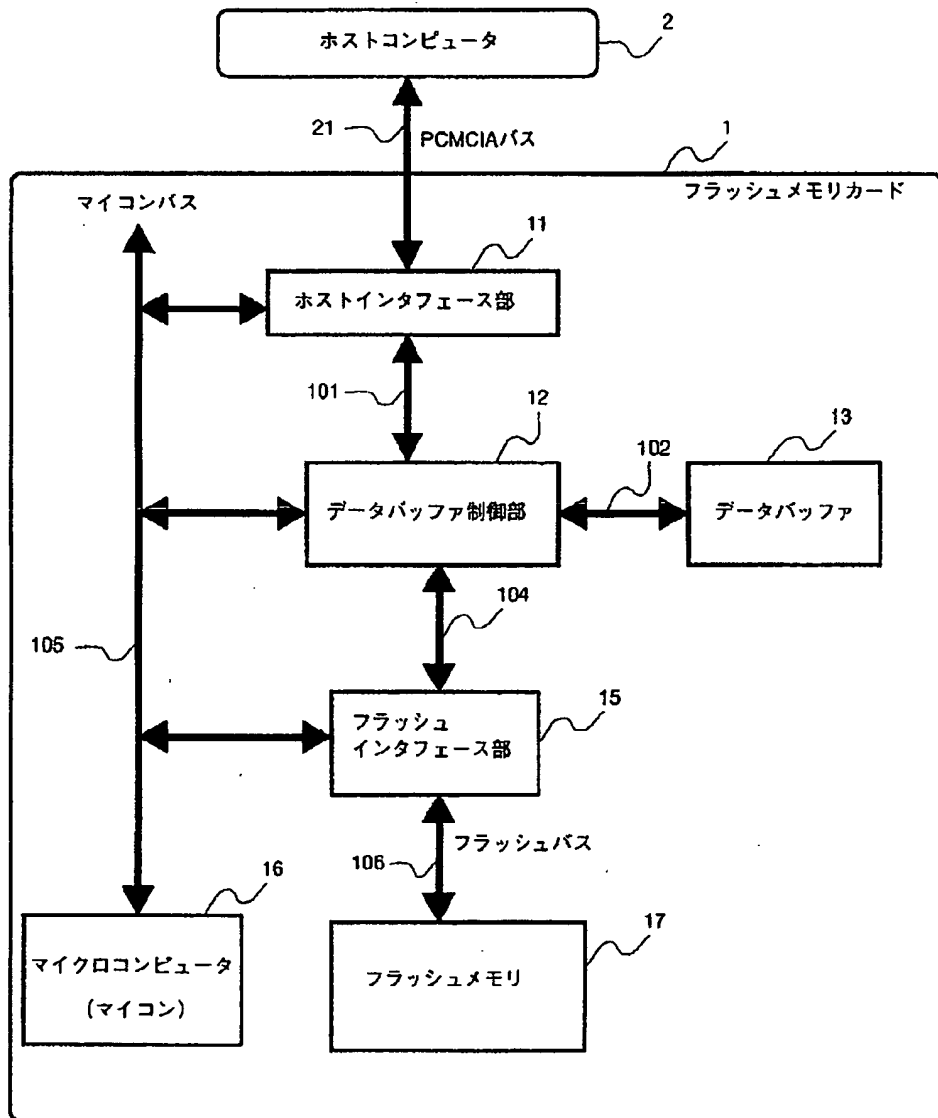
【図2】

図2

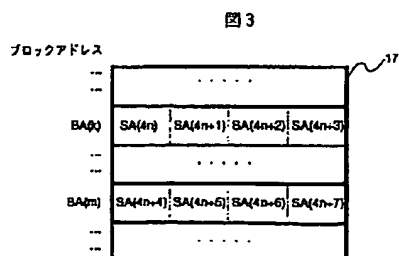


【図 1】

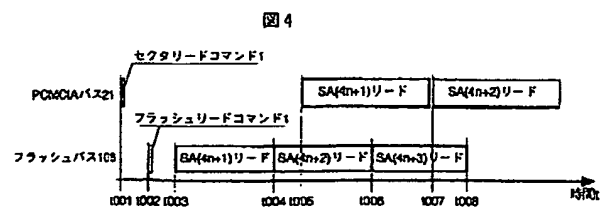
図 1



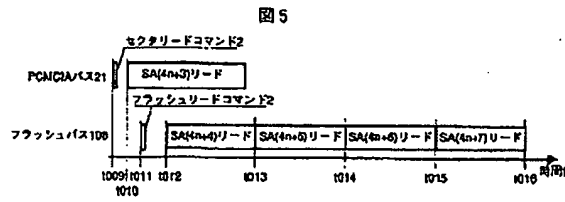
【図 3】



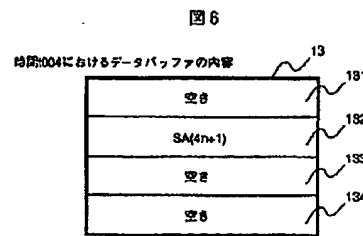
【図 4】



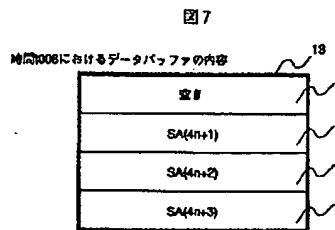
【図 5】



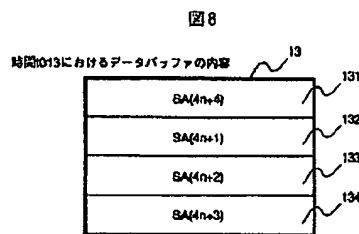
【図 6】



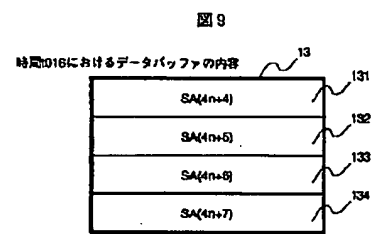
【図 7】



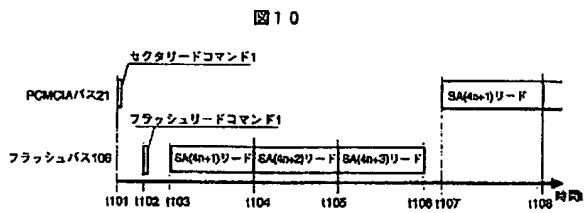
【図 8】



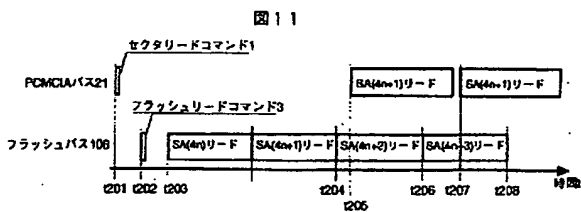
【図 9】



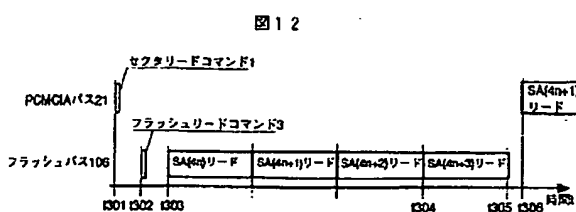
【図 10】



【図 11】

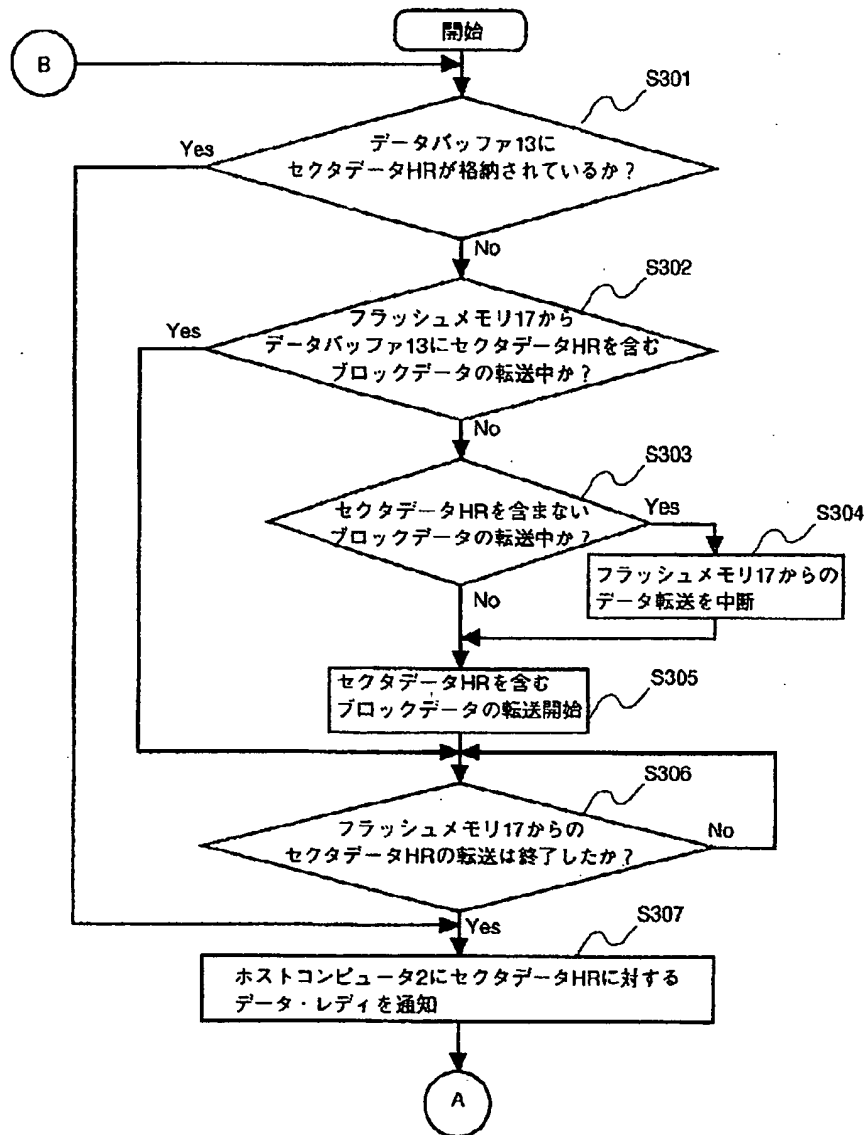


【図 12】



【図13】

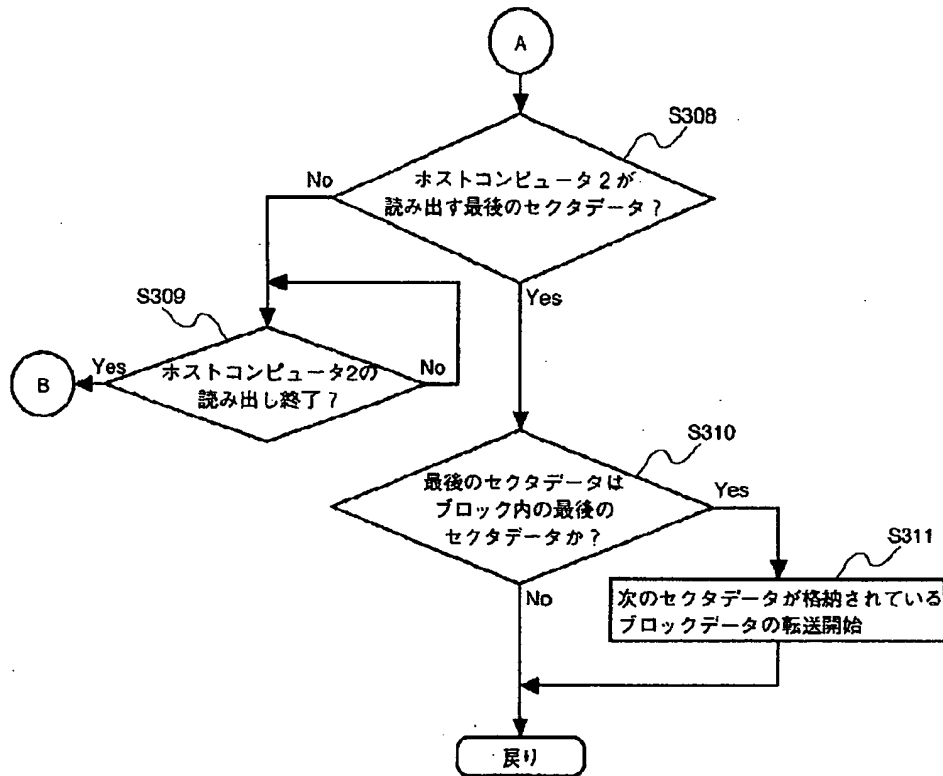
図13



セクタデータHR：ホストコンピュータ2が読み出すセクタデータ

【図 14】

図 14



フロントページの続き

(72)発明者 片山 国弘

神奈川県川崎市麻生区王禅寺1099番地 株  
式会社日立製作所システム開発研究所内

(72)発明者 井口 慎也

神奈川県川崎市麻生区王禅寺1099番地 株  
式会社日立製作所システム開発研究所内

(72)発明者 幡野 富久

神奈川県川崎市麻生区王禅寺1099番地 株  
式会社日立製作所システム開発研究所内

Fターム(参考) 5B005 JJ12 KK12 MM22 NN01 NN22

UU12

5B025 AD04 AD05 AD08 AE05

5B060 AC20 CA04 CA06